

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-338836
 (43)Date of publication of application : 07.12.2001

(51)Int.CI. H01G 4/33
 H01L 23/12
 H01R 11/01
 H01R 33/76
 H01R 43/00
 // H01L 23/32

(21)Application number : 2000-359369 (71)Applicant : SUMITOMO METAL IND LTD
 (22)Date of filing : 27.11.2000 (72)Inventor : YAMAMOTO TOSHIHIGE
 YAMANISHI YOSHIKI
 HASHIMOTO MASAYA
 YAMADE YOSHIAKI

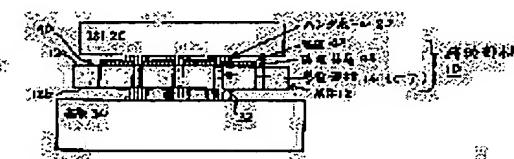
(30)Priority
 Priority number : 2000084221 Priority date : 24.03.2000 Priority country : JP

(54) CONNECTING MEMBER WITH CAPACITOR, ITS CONNECTING STRUCTURE, AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To arrange a capacitor which is effective for the suppression of the switching noise of an LSI for MPU and has a low inductance and a large capacitance in the LSI without forming the capacitor as an internal layer.

SOLUTION: A plastic substrate 12 through which a plurality of conductive members 14 are passed in the thickness direction, and on which a thin film capacitor 40 electrically connected among the members 14 without covering the members 14 is formed is inserted and flip-chip connected between the LSI 20 and a mounting substrate 30 mounted with the LSI 20 as a connecting member 10. The dielectric layer 44 of the capacitor 40 is divided into parts every unit capacitor formed between adjacent conductive members 14.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision [rejection or
application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-338836 ✓

(P2001-338836A)

(43)公開日 平成13年12月7日 (2001.12.7)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 01 G 4/33		H 01 R 11/01	5 0 1 G 5 E 0 2 4
H 01 L 23/12		33/76	A 5 E 0 5 1
H 01 R 11/01	5 0 1	43/00	H 5 E 0 8 2
33/76		H 01 L 23/32	D
43/00		H 01 G 4/06	1 0 2

審査請求 未請求 請求項の数12 OL (全 21 頁) 最終頁に続く

(21)出願番号 特願2000-359369(P2000-359369)

(22)出願日 平成12年11月27日 (2000.11.27)

(31)優先権主張番号 特願2000-84221(P2000-84221)

(32)優先日 平成12年3月24日 (2000.3.24)

(33)優先権主張国 日本 (JP)

(71)出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72)発明者 山本 利重

兵庫県尼崎市扶桑町1番8号 住友金属工
業株式会社エレクトロニクス技術研究所内

(72)発明者 山西 良樹

兵庫県尼崎市扶桑町1番8号 住友金属工
業株式会社エレクトロニクス技術研究所内

(74)代理人 100081352

弁理士 広瀬 章一

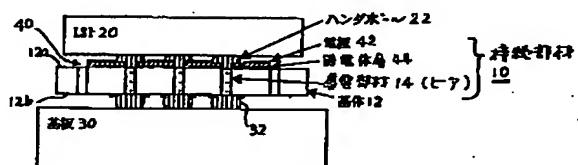
最終頁に続く

(54)【発明の名称】 コンデンサ付き接続部材、その接続構造と製造方法

(57)【要約】

【課題】 MPU用LSIのスイッチングノイズの抑制に有効な、低インダクタンスで高容量のコンデンサを、LSIに内層化せずに配置する。

【解決手段】 複数の導電部材14が厚み方向に貫通しているプラスチック基体12に、その導電部材間に電気的に接続し、導電部材を覆わない形態の薄膜コンデンサ40を形成したものを接続部材10として、LSI20とこれを実装する実装基板30との間に挿入してフリップチップ接続を行う。薄膜コンデンサ40の誘電体層44は、隣接する導電部材14間に形成された単位コンデンサごとに分離させる。



【特許請求の範囲】

【請求項1】 プラスチック基体と、この基体の第1の面から第2の面まで貫通している複数の導電部材とを有する接続部材であって、

前記基体の第1の面と第2の面の少なくとも片面に、前記複数の導電部材のうちの隣接する少なくとも一組の導電部材間に電気的に接続された、これらの導電部材を覆わない薄膜コンデンサが形成されており、前記薄膜コンデンサを構成する誘電体層が、隣接する一組の導電部材の間に形成された単位コンデンサごとに分離されていることを特徴とする、薄膜コンデンサ付き接続部材。

【請求項2】 プラスチック基体と、この基体の第1の面から第2の面まで貫通している複数の導電部材とを有する接続部材であって、

前記基体の第1の面と第2の面の片面に、前記複数の導電部材のうちの隣接する少なくとも一組の導電部材間に電気的に接続された、これらの導電部材を覆わない薄膜コンデンサが形成されており、薄膜コンデンサが形成されない側の面に、隣接する2以上の同電位の導電部材間を電気的に接続する接続用電極が形成されていることを特徴とする、薄膜コンデンサ付き接続部材。

【請求項3】 プラスチック基体と、この基体の第1の面から第2の面まで貫通している複数の導電部材とを有する接続部材であって、

前記基体の第1の面と第2の面の少なくとも片面に、前記複数の導電部材のうちの隣接する少なくとも一組の導電部材間に電気的に接続された、これらの導電部材を覆わない薄膜コンデンサが形成されており、この薄膜コンデンサを構成する誘電体層が凹凸を繰り返す断面形状を有することを特徴とする、薄膜コンデンサ付き接続部材。

【請求項4】 前記薄膜コンデンサを構成する誘電体層がほぼ均一な厚みを持ち、かつその断面形状が正弦波状の凹凸を繰り返している、請求項3記載の薄膜コンデンサ付き接続部材。

【請求項5】 前記薄膜コンデンサを構成する誘電体層が、隣接する一組の導電部材の間に形成された単位コンデンサ毎に分離されている、請求項2~4のいずれかに記載の薄膜コンデンサ付き接続部材。

【請求項6】 前記基体の第1の面と第2の面の少なくとも片面に、前記導電部材と電気的に接続された実装用ハンダボールが形成されていることを特徴とする、請求項1ないし5のいずれかに記載の薄膜コンデンサ付き接続部材。

【請求項7】 半導体チップ、請求項1~6のいずれかに記載の薄膜コンデンサ付き接続部材、および実装基板が、この順にハンダを介して電気的に接続されていることを特徴とする、薄膜コンデンサ付き接続部材を用いた接続構造。

【請求項8】 前記接続部材が、前記半導体チップに接

続される側の基体片面だけに前記薄膜コンデンサを有している、請求項7記載の薄膜コンデンサ付き接続部材を用いた接続構造。

【請求項9】 前記実装基板が、プラスチックを絶縁材料とするプラスチック基板である、請求項7または8記載の薄膜コンデンサ付き接続部材を用いた接続構造。

【請求項10】 請求項3または4記載の薄膜コンデンサ付き接続部材の製造方法であって、前記プラスチック基体または前記薄膜コンデンサを構成する下部電極の表面に凹凸を形成する工程を含むことを特徴とする、薄膜コンデンサ付き接続部材の製造方法。

【請求項11】 請求項4記載の薄膜コンデンサ付き接続部材の製造方法であって、前記プラスチック基体の表面に矩形凹凸を形成する工程と、この基体表面の凹部を局所的に加熱して矩形凹凸の角を丸くする工程を含むことを特徴とする、薄膜コンデンサ付き接続部材の製造方法。

【請求項12】 請求項4記載の薄膜コンデンサ付き接続部材の製造方法であって、前記プラスチック基体の表面に熱硬化性樹脂を吹き付けて島状に分布させた後、熱硬化させることにより、基体表面に凹凸を形成する工程を含むことを特徴とする、薄膜コンデンサ付き接続部材の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、IC、LSI（VLSIやULSI等も含む）といった半導体チップを、半導体パッケージやマザーボード等（これらを実装基板と称する）に実装するのに使用できる接続部材に関し、特に高周波で同時に動作する複数の論理回路を持つLSIに起こり易いスイッチングノイズ（同時切り替えノイズ）を低減させることのできる、バイパスコンデンサを備えた接続部材に関する。

【0002】 本発明は、また、この接続部材を用いた接続構造とこの接続構造の製造方法にも関する。

【0003】

【従来の技術】 コンピュータのMPUを始めとする高速（高周波数）で動作するLSIでは、高速化に伴って同時に切り替わる論理回路の数が増大しているため、同時に動作する一つの論理回路のスイッチングが他の論理回路に対してノイズとなるスイッチングノイズが誤動作の原因として問題になっている。

【0004】 LSIの動作をより高速化するためにはこのスイッチングノイズを抑制することが必要で、このための対策として、接続部を含む電源について、そのインピーダンスを低くすることが必要となってきた。

【0005】 そのための一つの手法は、電源-LSI間の電源ラインまでのインダクタンス成分ができるだけ小さくなるように実装方法を変更することである。具体的には、LSIとそのパッケージ上の電極パッドとの間の

導通を、従来の金またはアルミニウム等の金属線でつなぐワイヤーボンディングから、微細なハンダのボールでつなぐフリップチップ接続に変更することである。パッケージとマザーボードの間の接続についても同様に、ピンを介して実装するPGA(PinGrid Array)から、金属ボールにより実装するBGA(Ball Grid Array)に変更する動きがある。これらの接続手段の変更はどちらも、接続部材の長さを短くして、インダクタンス成分を少なくすることを意図している。

【0006】格子状(マトリックス)に多数の電極が形成できるLSIのフリップチップ実装では、インダクタンスは電極数に反比例するので、電極ピッチが小さいほど全体のインダクタンスは小さくなる。しかし、電極ピッチが小さいと、LSIを搭載するパッケージには微細配線が要求されることになる。

【0007】現在、フリップチップの電極ピッチは100ミクロンレベルに達しており、今後ますますピッチが小さくなることが予想されている。電極ピッチ100ミクロンということは、パッケージ側の配線幅およびスペースは50ミクロンずつとなり、プリント基板製造プロセスを使用した安価なP B G A(Plastic Ball Grid Array)や従来から使用されているアルミナセラミックの多層パッケージが使用できない。代わって、近年微細配線形成が可能なビルドアップ基板を使用したパッケージが開発されているが、コストアップは避けられない。

【0008】電源ラインのインピーダンスを低くするための別の手法は、仮想的な電源として機能する、デカップリングコンデンサと呼ばれるバイパスコンデンサを、電源ラインとグランド(接地)ラインの間に挿入することである。

【0009】バイパスコンデンサは、低周波数域での効果を大きくするために高容量のものが望ましいが、高速(高周波数域)でのスイッティングノイズ低減の目的を十分に果たすには、LSI-コンデンサ間の電源ラインのインダクタンスと、このコンデンサ自身が有するインダクタンス(以下、内部インダクタンスという)の両方が小さいことが求められる。LSIは今後もますます高周波数化するので、接続部を含めてバイパスコンデンサのインダクタンスを小さくし、高周波数に対応できるようになることが非常に重要となる。

【0010】バイパスコンデンサとして広く用いられているチップコンデンサは、容量が $1\mu F$ と大きいものが開発されているが、内部インダクタンス 500 pH と大きいことがネックである。また、外部端子も2端子であるため、フリップチップ実装によって配線を並列に配置し、インダクタンスを低減しても、チップコンデンサを接続する部分で、配線を束ねる必要があり、この部分でインダクタンスが大きくなってしまうという問題があり、高周波数に対応することは困難である。

【0011】一方、単品部品を用いず、コンデンサをL

S Iやマザーボードの内部に一体的に形成すれば、このような問題点がないので、高周波数化に対応するのに有利であると思われる。

【0012】スイッティングノイズを低減させるためのバイパスコンデンサとして薄膜コンデンサを用い、これをコンピュータのマザーボードの内部に形成すると、大容量のコンデンサを挿入できるため低周波数域では効果を発揮するものの、コンデンサが途中のピンや配線のインダクタンス成分の影響を受けてインダクタンスが高くなるため、高周波数化には対応できない。

【0013】薄膜コンデンサをLSIの内部に形成すれば、インダクタンスを小さくでき、高周波数化に対応できる。しかし、これはLSI製造プロセスの変更を必要とし、歩留まりの低下を伴う。また、容量を大きくするにはコンデンサの面積を大きくする必要があるので、それに伴ってLSIの寸法が増大し、コストの上昇を招く。

【0014】そこで、MPU用のセラミックスパッケージの内部のLSIの近傍にコンデンサを一体化して内蔵する技術が近年開発された。このコンデンサを内層化したセラミックスパッケージは、比較的大型のコンピュータのMPU用に多用されている。しかし、コンパクト型、ノート型等の小型コンピュータの場合、MPU用のLSIパッケージの主流は、価格、取り替え、マザーボードの構造等の要因から、プラスチックPGA(PPGA)パッケージである。多層プリント基板にLSIを搭載したプラスチックパッケージでは、コンデンサを内層化する技術はほとんど開発されていない。

【0015】特開平4-211191号公報には、セラミックス基板上にプラスチックを絶縁層とする多層薄膜回路を形成した上にLSIを搭載した半導体パッケージにおいて、LSIへの接続部とセラミックス基板との間または薄膜回路内に薄膜コンデンサを内蔵させることが提案されている。しかし、熱膨張係数が異なるセラミックス基板とプラスチック基板とを組合せていることと、セラミックス基板に弾性がないことから、実装のためのハンダリフロー時に熱膨張係数差に起因して接続部に発生する応力が十分に吸収されず、接続部の信頼性が低下する恐れがある。

【0016】また、この公報に開示されているコンデンサの構造は、基板あるいは基板の全面に誘電体層を形成するものである。基板もしくは基板と導体金属と誘電体層は互いに熱膨張係数が異なるため、全面に誘電体層を形成すると、実装プロセス中に誘電体層が受けた熱応力が大きくなり、誘電体層に亀裂が入って、コンデンサによるスイッティングノイズの抑制効果が失われる危険性があり、この点でも信頼性の低下が懸念される。

【0017】米国特許第5,406,446号には、フリップチップ実装されたLSI近傍に薄膜コンデンサを配置した構造が開示されている。同特許のFig. 1に示されている

ように、フリップチップの電源電極／グランド電極は格子状に多数配列されており、並列に配線を形成することでコンデンサまでのインダクタンスが低減する。薄膜コンデンサが形成されている基板（以下、接続部材）には、同じくFig.11に図示されるようにフリップチップの電極ピッチと同一のピアホールが基板を貫通するように形成されており、該接続部材の下面に配置される電極ピッチもパッケージの電極ピッチもフリップチップの電極ピッチに等しい。

【0018】しかし、この薄膜コンデンサを設けた接続部材にもいくつかの問題点がある。まず、この薄膜コンデンサも、上記と同様に、薄膜コンデンサを構成する誘電体層が基板の全面に形成されており、残留応力や実装時の熱応力による歪みが大きくなる。この大きな歪みが、薄膜コンデンサを構成する誘電体層の亀裂や割れを引き起こして、コンデンサとしての機能を損なうことがあるので、信頼性の点で必ずしも満足できない。

【0019】次に、薄膜コンデンサの大きさはほぼLSIの大きさと同じになることから、面積が限られる。その場合、限られた面積でバイパスコンデンサとして必要な容量を確保するための誘電体材料の選択や厚みの設計が難しくなる。即ち、成膜の容易な誘電体材料では、その面積で十分な容量を持つ誘電体層を形成することが困難なため、高誘電率であるが成膜しにくい材料を使用せざるを得なくなることがある。また、誘電体層が薄すぎるとリーク電流が多くなるため、厚みを大きくする必要が出てきて、成膜に時間がかかるといった問題もある。

【0020】さらに、上記米国特許の薄膜コンデンサでは、フリップチップ電極のピッチが細かいほど、同じピッチで形成される薄膜コンデンサまでのインダクタンスが低減し、スイッチングノイズ低減効果が大きくなるが、これら微小ピッチで形成された電極をパッケージに形成しなければならず、パッケージに微細な配線が必要となり、高価な物となってしまう。

【0021】

【発明が解決しようとする課題】ここに、本発明の課題は、高速で動作するMPU用のLSIのスイッチングノイズの抑制に有効な、小型で高周波数に十分対応でき、インダクタンス成分の小さい薄膜コンデンサを備えた接続部材であって、特にプラスチックを絶縁材料とする多層プリント基板を用いたプラスチックパッケージで利用するのに適した接続部材を提供することである。

【0022】本発明のより具体的な課題は、このような接続部材において、残留応力や実装時の熱歪みを少なくして信頼性を改善すること、誘電体層の表面積を大きくして材料の選択や厚みの設計を容易にすること、および／または微細な配線の形成を少なくてコストを低減することである。

【0023】

【課題を解決するための手段】本発明者らは、バイパス

コンデンサによるスイッチングノイズの抑制について検討した。

【0024】高周波数化に対応するには、インダクタンスが高くなるマザーボードへのコンデンサの挿入は採用できない。一方、LSIの内部にコンデンサを挿入する内層化は、低インダクタンスとなるが、製造プロセスの変更や寸法増大が必要となるので、やはり採用は難しい。そこで、バイパスコンデンサとしての薄膜コンデンサを、LSIの内層ではなく、独立した接続部材の形態で、LSIと実装基板との間に配置することに着目した。

【0025】この接続部材の基体としてプラスチックを用いることにより、小型・高容量のコンデンサを低インダクタンスで形成でき、かつプラスチックパッケージやプリント基板との熱膨張係数の違いからくる応力が緩和でき、接続の信頼性を確保することができる。その際に、薄膜コンデンサの誘電体層を、各単位コンデンサごとに分離して形成すると、基板全体にペタで一面に形成する場合に比べて、誘電体層に加わる応力が著しく小さくなり、これに亀裂が入ってコンデンサの機能が損なわれる危険性が解消されて、信頼性のある薄膜コンデンサ付き接続部材となることを知った。

【0026】本発明によれば、プラスチック基体と、この基体の第1の面から第2の面まで貫通している複数の導電部材（ピア）とを有する接続部材であって、前記基体の第1の面と第2の面の少なくとも片面に、前記複数の導電部材のうちの隣接する少なくとも一組の導電部材間に電気的に接続された、これらの導電部材を覆わない薄膜コンデンサが形成されている、薄膜コンデンサ付きの接続部材が提供される。

【0027】この接続部材は、前記薄膜コンデンサを構成する誘電体層が、隣接する一組の導電部材間に形成された単位コンデンサごとに分離して形成されていることを特徴とする。それにより、誘電体層が小面積に区画され、残留応力や熱歪みが少なく、薄膜コンデンサの信頼性が向上する。

【0028】ところで、スイッチングノイズ低減のために低減すべき電源ラインのインダクタンスは、LSIとバイパスコンデンサとの間のインダクタンスであり、バイパスコンデンサと電源との間のそれではない。従つて、後者の電源との間のインダクタンスは多少大きくなつてもスイッチングノイズに影響しない。

【0029】このため、上記の薄膜コンデンサ付き接続部材において、バイパスコンデンサとなる薄膜コンデンサをLSIとフリップチップ接続される片面だけに設け、この接続部材の導電部材（ピア）のピッチは、フリップチップ電極ピッチと同一とするが、薄膜コンデンサを設けない接続部材の裏面側は、2以上の電源ラインを連結して電極数を半分以下にまびくと、電極ピッチを荒くでき、パッケージの細かいパターン形成が不要とな

り、コスト的に有利である。

【0030】従って、本発明の別の態様によれば、上記の薄膜コンデンサ付きの接続部材において、前記薄膜コンデンサが前記基体の第1の面と第2の面の片面だけに形成されており、かつ薄膜コンデンサが形成されない側の面に、隣接する2以上の同電位の導電部材間を電気的に接続する接続用電極が形成されていることを特徴とする。

【0031】また、薄膜コンデンサの誘電体層を平坦に形成するのではなく、この誘電体層を凹凸を繰り返す断面形状を持つように形成することにより、コンデンサの実効面積を広くすることができ、それにより成膜しやすいが低誘電率の誘電体材料からなる誘電体層でも必要な容量を確保することが可能となる。また、高容量化のために誘電体層の厚みを薄くしなくとも必要な容量を確保できることから、リーク電流を低く抑えることが可能となり、誘電体層を構成する材料の選択と厚みの設計が容易となる。

【0032】従って、本発明の別の態様では、上記の薄膜コンデンサ付きの接続部材において、この薄膜コンデンサを構成する誘電体層が凹凸を繰り返す断面形状を持つように形成されていることを特徴とする。好ましくは、この誘電体層はほぼ均一な厚みを持ち、かつその断面形状が正弦波状の凹凸（角を持たない曲線状の凹凸）を繰り返している。

【0033】このような誘電体層が凹凸を繰り返す断面形状を持つ薄膜コンデンサ付き接続部材は、前記基体または前記薄膜コンデンサを構成する下部電極を乾式または湿式でエッチングし、その表面に凹凸を形成する工程を含むことを特徴とする方法により形成することができる。

【0034】また、誘電体層が正弦波状の凹凸を繰り返す断面形状を持つ薄膜コンデンサ付き接続部材は、

プラスチック基体の表面に矩形凹凸を形成する工程と、この基体表面の凹部を局所的に加熱して矩形凹凸の角を丸くする工程を含むことを特徴とする方法、あるいは

プラスチック基体の表面に熱硬化性樹脂を吹き付けて島状に分布させた後、熱硬化させることにより、基体表面に凹凸を形成する工程を含むことを特徴とする方法、により製造することができる。

【0035】本発明に係る薄膜コンデンサ付き接続部材の好適態様では、前記基体の第1の面と第2の面の少なくとも片面に、前記導電部材と電気的に接続された実装用ハンダボールが形成されている。

【0036】本発明によればまた、半導体チップ、上記の各態様の薄膜コンデンサ付き接続部材、および実装基板が、この順にハンダを介して電気的に接続されていることを特徴とする、薄膜コンデンサ付き接続部材を用いた接続構造も提供される。

【0037】この接続構造において、接続部材は、半導体チップと接続される側の基体の片面だけに薄膜コンデンサを有していることが好ましく、実装基板はプラスチックを絶縁材料とするプラスチック基板であることが好ましい。

【0038】

【発明の実施の形態】本発明の薄膜コンデンサ付き接続部材は、LSIで代表される半導体チップとこれを実装する基板（実装基板）との間に挿入して、LSIと実装基板との接続に使用することを意図したものである。実装基板は好ましくはプラスチック基板であり、半導体パッケージとマザーボードのいずれでもよいが、現状で特に好ましいのはフリップチップ接続される半導体パッケージ、好ましくはプラスチックパッケージである。しかし、本発明の接続部材をプラスチックパッケージとマザーボードとのBGA接続に利用することもできる。以下では、説明を具体的にするために、主にLSIをフリップチップ接続によりプラスチックパッケージに実装する場合について説明する。

【0039】図1に示すように、本発明の接続部材(10)は、薄いプラスチック基体(12)に、その第1の面(12a)から反対側の第2の面(12b)まで貫通している複数の導電部材、即ち、ピア(14)を設けた基本構造を持つ。これらの導電部材は電源ラインまたはグラウンドラインのいずれかを構成する。

【0040】プラスチック基体(12)は、ポリイミド等の低誘電率で耐熱性に優れたプラスチックから構成することが好ましい。その厚みは特に制限されないが、通常は30～500μm、特に50～300μm程度とするのがよい。導電部材(14)の材質は銅、銀、銀-パラジウム合金、ハンダ等でよく、その直径は一般に25～200μm、特に40～120μm程度とするのがよい。

【0041】接続部材(10)における導電部材(14)の配置パターンは、この接続部材で接続すべきLSI(20)と実装基板(30)の電極の配置パターンに合わせる。即ち、LSIに接続される基体の第1の面(12a)では、LSI(20)との接続用ハンダボールもしくはバンプ(22)と同じ配置パターンであり、基板に接続される基体の第2の面(12b)では、実装基板(30)との接続用の実装用ハンダボールまたはパッド部(32)と同じ配置パターンとする。それにより、LSI(20)の実装用ハンダボール(22)と実装基板(30)の実装用ハンダボール(32)と導電部材(14)とが一直線に整列して接続される。多くの場合、LSIの実装用ハンダボール(22)と基板の実装用ハンダボール(32)は互いに同じ配置パターンとするので、接続部材における導電部材の配置パターンもそれに合わせる。

【0042】このように一直線に整列して配置すると、インダクタンスが最小となり好ましいが、これに限られるわけではなく、目的、要求性能に応じて許容される範囲で実装用のハンダボールまたはパッド部の位置をわざ

かにずらせることは可能である。

【0043】本発明によれば、上記の接続部材(10)の基体(12)の第1の面(12a)と第2の面(12b)の少なくとも片面【図示例ではLSIに面した第1の面(12a)、即ち、片面だけ】に、薄膜コンデンサ(40)を設ける。それにより、コンデンサをLSI内層化せずに、電源ラインとグランドラインの間にスイッチングノイズの低減に有効なバイパスコンデンサとして機能する薄膜コンデンサを挿入することができる。

【0044】薄膜コンデンサ(40)は、金属導体からなる上下の薄膜電極(42)の間に誘導体層(44)を挟んだ基本構造を持ち、本発明では、少なくとも一組の隣接する導電部材(14)の間に電気的に接続させて、かつこれらの導電部材を覆わないように、基体(12)の表面に配置する。好ましくは、すべての隣接する導電部材間に薄膜コンデンサを配置する。

【0045】このコンデンサを薄膜として、小型でも容量を高くすることができる。薄膜コンデンサ(40)の上下電極と誘電体層のパターンの例を図2(a)～(c)に示す。

【0046】図示例では、基体表面に接する下部電極(42a)は、図2(a)に示すように、基体を貫通する導電部材のうちグランドラインの導電部材(14a)だけに接続され、電源ラインの導電部材(14b)には接続されないようなパターンで、基体表面に形成する。図示のように、下部電極(42a)は電源ラインの導電部材(14b)の周囲を除いて、実質的にベタに形成するのが簡便である。

【0047】その上に設けた誘電体層44は、図2(b)に示すように、ベタに形成するのではなく、隣接する4個の導電部材の組(即ち「隣接する一組の導電部材」)でそれぞれ囲まれ単位コンデンサ(44-1, 2, 3, ...)ごとに分離した(即ち、1つの単位コンデンサの誘電体層が隣接する他の単位コンデンサの誘電体層と離れている)パターンで形成する。図示例では、1つの単位コンデンサを包囲する4個の隣接する導電部材間を結ぶ線を越えないように誘電体層が分離されている。このように誘電体層を小面積ずつに分けることで、成膜プロセスにより生じる残留応力や実装時の熱応力が減少した誘電体層とすることができ、膜の割れの防止につながるので、コンデンサの信頼性が高まる。誘電体層の分離は、図示のように、各単位コンデンサごとに分けるのが最も好ましいが、2個または数個の単位コンデンサの誘電体層をつなげても、ある程度の効果は得られる。

【0048】誘電体層(44)の上に形成した上部電極(42b)は、図2(c)に示すように、下部電極とは逆に、電源ラインの導電部材(14b)接続され、グランドラインには接続されないように、かつ下部電極と導通しないようなパターンで形成する。そのため、図示例では、上部電極(42b)を誘電体層より小さくし、下部電極(42a)が形成されていない電源ラインの導電部材(14b)の周囲で延

設して、この導電部材に接続する。

【0049】下部電極と上部電極の接続様式は、逆にして、下部電極を電源ラインに、上部電極をグランドラインに接続することも可能である。図2(d)は、接続部材(10)の基体の裏面側(第2の面<12b>)の導電部材と電極の配置を示す。

【0050】薄膜コンデンサの電極の材料は、基体の導電部材と同じ材料とすることができるが、導電性が良好であれば、別の材料でもよい。誘電体層の好ましい材料としては、酸化タンタル、チタン酸ストロンチウム、チタン酸バリウム、チタン酸鉛、チタン酸ジルコニウム等の無機材料の他に、有機系高誘電率膜などが挙げられる。

【0051】本発明の薄膜コンデンサ付き接続部材は、図1に示すように、フリップチップ接続されるLSIと半導体パッケージの間に挿入して、LSIと基板を接続するのに適している。その場合、この接続部材の基体の少なくとも片面(即ち、第1の面と第2の面の少なくとも一方)に、フリップチップ接続に利用する実装用ハンダボール(32)を、接続部材の導電部材(14)と電気的に接続するように形成しておくと、接続作業が簡便になり有利である。この実装用ハンダボールは、接続部材の基体の両面に形成してもよい。

【0052】実装用ハンダボールは、基体表面のハンダボールを形成しない部分をソルダーレジストで覆った後、ハンダペーストをクリーン印刷することにより形成することができる。その場合、ソルダーレジストとして、耐湿性の良好な膜を形成できるプラスチック材料(例えば、ポリイミド)を使用することが有利である。ハンダボール形成後もこのソルダーレジストを永久レジストとして残しておくことにより、コンデンサを湿気から保護することができるからである。

【0053】本発明の薄膜コンデンサ付き接続部材を用いてLSIを半導体パッケージにフリップチップ実装した場合、薄膜コンデンサはフリップチップ接続用の基板の電極パッドやスルーホールに近接しているので、それぞれの単位コンデンサのインダクタンスは非常に小さい。さらに、この接続部材にLSIを小型のハンダボールにより接続することで、チップとコンデンサの間のインダクタンス成分も小さくできる。これらの相乗効果により、本発明の接続部材は、低インダクタンスのバイパスコンデンサとして機能させることができ、スイッチングノイズの低減に非常に有効である。

【0054】LSIをハンダボールを介して直接半導体パッケージに接続する場合と比べて、本発明の接続部材を使用して接続することにより、ハンダボール1個分の高さとプラスチック基体の厚みに相当する高さとが加わる。また、プラスチック基体は適度の柔軟性を持つので、変形して応力をいくらか吸収できる。この接続空間の増大と基体の柔軟性のために、実装時にリフローによ

り生じる熱応力が緩和され、接続部のハンダやLSIと基板の電極パッドに加わる応力が低下するため、接続信頼性が向上する。

【0055】ビルドアップ基板と呼ばれるパッケージ用の多層プラスチック基板は、配線と絶縁層の形成を繰り返して完成させるが、この基板にコンデンサを内層化して半導体パッケージを製造しようとすると、通常のプロセスにコンデンサ形成のプロセスが加わるため、全体の歩留まりを落とす原因となる。また、半導体パッケージは、プリント基板へのPGA実装のためにかなり大きくする必要があるので、LSIと比べるとかなり大きくなる。従って、コンデンサを内層化した場合には、LSIとの接続部の近傍以外、即ち、パッケージ外周部のコンデンサは、インダクタンスが大きくなるので高周波では効果がなく、LSI直下のはほとんどチップと同じ面積の内層コンデンサのみが有効となる。プロセス上、コンデンサの誘電体層を形成する場合には、薄膜形成装置の内部に半導体パッケージの全体を入れる必要があるが、面積比率ではコンデンサ形成の必要な部分がほとんどを占めるため、誘電体層形成における製造効率が非常に悪くなる。

【0056】本発明の接続部材に設けた薄膜コンデンサでは、接続部材の大きさはLSIとほぼ同じ大きさでよい。この薄膜コンデンサ付き接続部材は、多数の接続部材を連結した形で一度に製造し、最終的にチップとほぼ同じ面積に切りわけて使うことができる。その場合でも、ほとんどの面積をコンデンサとして活用できるので、コストの上昇を抑制することができる。また、半導体パッケージに内層化するのではなく、独立した接続部材として製造することにより、パッケージの製造工程を変更する必要がなく、歩留まりの低下がない。この薄膜コンデンサ付き接続部材の接続部をハンダボールとする、通常のリフロー法で実装できることから、実装のための新しい技術開発や設備を必要とせず、LSIのパッケージング全体のコスト増大を招かない。

【0057】本発明の接続部材の薄膜コンデンサを、図1に示したのとは逆に、プラスチック基体の、LSIが実装される側とは反対側の面（即ち、実装基板に接続される側の面または第2の面12b）だけに（即ち、プラスチック基体と実装基板の間に）形成すると、仮にコンデンサ材料から α 線が発生することがあっても、 α 線がプラスチック基体に吸収されるため、LSIに到達することができなく、 α 線による誤動作も防ぐことができる点で望ましい。また、基体の両面に薄膜コンデンサを設けることも可能である。

【0058】このように、本発明の薄膜コンデンサ付き接続部材は、従来から問題とされてきたスイッチングノイズの抑制に有効で、高周波数に対応可能であり、かつLSIに内層化しないため、LSIのパッケージングまで考えると、他の構造より低成本で目的を達成するこ

とができる。

【0059】本発明の接続部材では、図1に示すように、基体(12)のLSIと接続される側の片面だけに、誘電体層(44)と上下電極(42)からなる薄膜コンデンサを設けることが好ましい。

【0060】その場合、図1に示した接続部材では、薄膜コンデンサを設けない基体の裏面側の基板(30)への実装用ハンダボール(32)も、LSIのフリップチップ接続用のハンダボール(22)と同じピッチ、従って、非常に微細なピッチで形成することになる。

【0061】本発明の接続部材の別の構造では、図3および図4(d)に示すように、接続部材のLSI側のハンダボール(22)の配置は図1と同じであるが、接続部材の裏面側では、隣接する2個ずつの組の同電位の導電部材間を電気的に接続する接続用電極(46)が形成される。具体的には、例えば、図3において、LSI側のハンダボールが左側から電源／電源／グランド／グランドの順であるとする。その場合、裏面側では、電源ライン同士またはグランドライン同士の2つの導電部材を接続用電極で接続する。

【0062】このような構造の接続部材の場合、裏面側の各接続用電極(46)にそれぞれ1個ずつの実装用ハンダボール(32)を接続すればよい。その場合の電極と実装用ハンダボールの配置例を図4(d)に示す。接続用電極(46)は、隣接した同一属性（電源ラインまたはグランドライン）の導電部材同士を2個接続するパターンで形成され、この接続用電極の中央に実装用ハンダボール32（点線円）を配置することにより、実装用ハンダボールの数が半分ですみ、そのピッチは2倍の大きさになる。

【0063】つまり、接続部材を貫通する導電部材（ピア）のピッチはフリップチップのハンダボールのピッチに等しいが、その基体裏面に形成された実装用ハンダボールのピッチは2倍に広がる。こうして、フリップチップ用ハンダボールの狭いピッチを避けて、微細配線を必要とせずにLSIをパッケージ化することが可能となり、パッケージの製造コストが低減する。このように裏面側のハンダボールのピッチを大きくしても、薄膜コンデンサによるスイッチングノイズの低減効果に悪影響を及ぼすことはない。

【0064】この裏面構造における構造ハンダボールの位置は、図4(d)に示すように、接続用電極の中央とすることが、ピッチが一定になる点で好ましいが、これに特に制限されるものではない。図4(a)～(c)は、図2(a)～(c)に同じであり、これについての説明は割愛する。

【0065】また、図示例では、本発明の接続部材の裏面側の実装用ハンダボール数を半分にまびく例を示したが、これに限るものではない。フリップチップの電極の配列によっては、3個以上の同電位の導電部材同士を裏面側で接続用電極により接続して、裏面側の実装ハンダ

ポール数をさらに極端にまびいで、そのピッチをさらに広げることも可能である。

【0066】本発明の接続部材のさらに別の構造では、プラスチック基体の少なくとも片面、好ましくはLSIに接続される側の片面、に形成された薄膜コンデンサを構成する誘電体層が、図1、3に示すように平坦ではなく、例えば、図9(5)に示すように、凹凸を繰り返す断面形状を有している。

【0067】薄膜コンデンサの容量(C)は次のように表される：

$$C = \epsilon_0 \times \epsilon_r \times S / d$$

ϵ_0 ：真空中の誘電率

ϵ_r ：誘電体の比誘電率

S：コンデンサの電極面積

d：誘電体の厚み

即ち、薄膜コンデンサの容量は、誘電体層を構成する材料の(比)誘電率と誘電体層の面積に比例し、誘電体層の厚みに反比例する。

【0068】薄膜コンデンサの誘電体層が平坦であると、コンデンサの実効面積Sは実質的に基体と同じ大きさに制限されることになる。従って、必要な容量を確保するために、高誘電率の材料を使用するか、および／または誘電体層の厚みdを小さくしなければならなくなることがある。その結果、を満たすために、必ずしも成膜性の良好な材料を使用することができず、材料の選択の幅が狭まる。一方、を満たすために誘電体層を薄くすると、リーク電流が多くなり、薄膜コンデンサの耐電圧性や信頼性が低下するので、誘電体層の厚みを非常に小さくすることはできない。従って、誘電体層の面積が制限されていると、必要な容量を確保するための誘電体材料の選択と厚みの設計が難しくなる。

【0069】しかし、誘電体層を凹凸を繰り返す断面形状を持つように形成することにより、コンデンサの実効面積を広くすることができ、それにより、成膜しやすい低誘電率の材料(Ta₂O₅など)から誘電体層を形成した場合、および／またはリーク電流を低く抑えることができる範囲の厚みとした場合でも、誘電損失や絶縁性に優れた、信頼性の高いコンデンサを得ることができ、材料の選択と厚みの設計が容易になる。また、同じ容量の薄膜コンデンサの場合、誘電体層が平坦な場合に比べて、基体面積を小さくして、接続部材を小型化することが可能となる。

【0070】この誘電体層の断面の凹凸形状は、角のある凹凸、例えば矩形凹凸でもよいが、好ましくは角のない曲線で形成された、正弦波状の凹凸である。誘電体層に角がある方が面積の増大により高容量化には有利であるが、角に電界や応力が集中し、絶縁破壊を起こし易くなるため、コンデンサの信頼性が低下する。また、誘電体層は厚みが均一であることが、容量の安定性、ひいてはノイズ吸収性能の点で好ましい。

【0071】誘電体層が一様な厚みの凹凸断面形状を有するようにするには、その下地であるプラスチック基体または下部電極にエッティング、レーザ加工等を施して、その表面に微細な凹部を形成することで、断面形状に凹凸を付与し、その上に誘電体層と上部電極とを成膜およびバーニングにより形成すればよい。この場合、一般に形成された凹凸は矩形断面となるが、湿式(ウェット)エッティングを利用した場合には、エッティング液がレジストの下側に回り込むため、角が小さいか、角のない正弦波状の凹凸を持つ断面形状を形成することができる。

【0072】プラスチック基体の表面に凹凸を付与した場合には、その凹凸が矩形断面を有していても、その後でプラスチック基体の表面凹凸の凹部を局所的に加熱すると、加熱した部分のプラスチックの収縮により矩形凹凸の角が丸くなり、正弦波状の凹凸を形成することができる。或いは、プラスチック基体の表面に熱硬化性樹脂を吹き付けて島状に分布させた後、熱硬化させることでも、基体表面に正弦波状の凹凸を形成することができる。これらの凹凸の形成方法については、実施例でより具体的に説明する。

【0073】

【実施例】(実施例1)本発明の薄膜コンデンサ付き接続部材の製造を図5を参照しながら例示する。以下の説明におけるカッコ内の番号は、図5の番号と対応している。但し、本発明の薄膜コンデンサ付き接続部材の製造方法は、以下に説明する方法に限られるものではなく、他の多くの方法が可能である。

【0074】(1)まず、支持基板とメッキ用電極として機能するカーボン板の上に、感光性のポリイミド樹脂液をスピンドルコーターを用いて厚さ80μmに塗布し、乾燥した。塗布方法は、ロールコーター等の別の方法を用いてもよい。この未硬化の感光性フィルムに、フォトリソグラフィ技術を用いて、ピア間距離が200μmとなる間隔で直径80μmの貫通穴(ビアホール)を開けた。その後、加熱してポリイミド樹脂を硬化させ、貫通穴を有するポリイミド基体をカーボン板上に形成した。

【0075】ポリイミド基体の形成は、塗布ではなく、未硬化もしくは硬化したポリイミドのドライフィルムをカーボン板に張り付ける方法でもよい。貫通穴の形成は、レーザーまたは機械的なパンチ等による穴あけによって行うことができる。また、非感光性のポリイミド基体に対して、パターン化したレジストを使用してドライエッティングすることにより、貫通穴を形成することも可能である。プラスチック基体は、ポリイミド以外の樹脂から作製することもできるが、耐熱性と絶縁性に優れた材料が好ましい。

【0076】(2)次に、カーボン板を電極として電気銅メッキを行った。それにより、ポリイミド基体の貫通穴に銅が析出し、この穴が銅で完全に埋まって、導電部

材、即ち、ピアが形成された。こうして、複数の導電部材がプラスチック基体の第1の面から第2の面に貫通したポリイミド基板が得られた。

【0077】(3) ピアが形成されたポリイミド基体の表面に、銅ターゲットを用いたスパッタリングにより、下部電極となる銅の薄膜を $1\text{ }\mu\text{m}$ 厚みに形成した。銅の成膜は、他の気相法または湿式法（無電解めっき+電解めっき）でも可能である。

【0078】(4) この銅の薄膜をフォトリソグラフィ法によりパターンニングした。即ち、まず銅薄膜の上にドライフィルムレジストを被覆し、パターン形成用露光と現像を行った後、湿式エッチングまたはスパッタリングによる乾式エッチングによって銅薄膜の不要部分を除去し、最後にドライフィルムを剥離して、図2(a)に示すような所望パターンを持つ下部電極を形成した。

【0079】(5) 次に、タンタル(Ta)金属をターゲットとした酸素とアルゴンの混合ガスによる反応性スパッタリングを行い、酸化タンタル(Ta_2O_5)の誘電体層を成膜した。この際の基板温度は、ポリイミドの耐熱性を考慮して $300\text{ }^\circ\text{C}$ 以下とすることが望ましい。酸化タンタルの膜厚は 50 nm 、誘電率は25であった。

【0080】同様の方法で、ターゲットにチタン(Ti)、ニオブ(Nb)またはハフニウム(Hf)を用いて反応性スパッタリングを施すと、酸化チタン、酸化ニオブまたは酸化ハフニウムの誘電体層を得ることができる。

【0081】この誘電体層の成膜には、ゾルゲル法、レーザープレーショント法、蒸着法、MOCVD法等の他の手法を用いることもできる。

(6) この誘電体層をフォトリソグラフィ法によりパターンニングした。即ち、まず誘電体層の上にドライフィルムレジストを被覆し、パターン形成用露光と現像によりレジストパターンを形成した後、フッ酸による湿式エッチングまたは乾式スパッタエッチングによって酸化タンタルの不要部分を除去し、図2(b)に示すような所望パターンを持つ誘電体層を形成した。

【0082】なお、上記の工程(5)および(6)は、リフトオフ法により実施してもよい。その場合には、工程(5)と(6)が部分的に逆転する。即ち、誘電体層の成膜前に、上記(6)に述べたようにしてレジストパターンを形成する。その後、(5)の誘電体層の成膜を、 $100\text{ }^\circ\text{C}$ 前後あるいはそれ以下の低温で行った後、レジストを有機溶媒などで溶解して除去する。その際にレジスト上の誘電体層も同時に除去され、誘電体層がパターン化される。リフトオフ法では、通常のフォトリソグラフィ法とは異なり、下にレジストパターンが存在する部分の材料が除去されることでパターンングが起こる。最後に $300\text{ }^\circ\text{C}$ 以下で熱処理を行って、誘電体層の特性を向上させる。

【0083】(7) その後、薄膜コンデンサの上部電極を形成するために、下部電極と同様にして、銅スパッタリ

ングにより銅の薄膜を $1\text{ }\mu\text{m}$ 厚みに形成した。

(8) この上部電極用の銅薄膜については、(4)と同様にフォトリソグラフィとエッチングとで銅薄膜の不要部分を除去し、図2(c)に示すような所望パターンを持つ上部電極を形成した。

【0084】こうして、本発明に係る、プラスチック基体（ポリイミド基体）の片面に、上下電極と誘電体層とからなる薄膜コンデンサを備えた接続部材が、カーボン板の上に製造された。

10 【0085】本実施例では、この接続部材の両面に、各導電部材と電気的に接続したハンダボールを形成する。そのために、次の(9)および(10)の工程をさらに行つた。

(9) まず、接続部材の薄膜コンデンサを形成した側の表面に、耐湿性の良好なソルダーレジストである感光性ポリイミド樹脂液をスクリーン印刷により塗布し、フォトリソグラフィ技術を利用して導電部材の直上の電極が露出するようにパターン化して、耐湿性向上も兼ねたソルダーレジスト膜を形成した

20 【10】次に、ソルダーレジストが除去されて電極が露出している部分に、フリップチップ接続用のハンダボールを形成するため、ハンダペーストのスクリーン印刷により、直径約 $120\text{ }\mu\text{m}$ の円形にハンダペーストを付着させた。ハンダペーストが乾燥した後、ポリイミド基体をカーボン板から剥離し、ポリイミド基体の反対側の面（裏面）に露出している導電部材の上にも、実装用ハンダボールを形成するため、同様にハンダペーストをスクリーン印刷し、乾燥した。

【0086】その後、接続部材をカーボン治具により水平に保持した状態でリフロー炉を通過させ、ハンダペーストを溶融してボール状に変形させて、接続部材の両面にハンダボールを形成した。このハンダボールの形成後も、ソルダーレジスト膜は耐湿保護膜として機能せるために残した。こうして、両面にフリップチップ用または実装用のハンダボールを備えた薄膜コンデンサ付き接続部材が得られた。

【0087】以上のようにして、LSIよりわずかに大きい寸法の接続部材が縦横に多数つながった状態で薄膜コンデンサ付き接続部材を形成し、一つ一つの接続部材に切り離した。

【0088】この接続部材を、薄膜コンデンサを形成しなかった側の面を下にして、パッド電極上にハンダペーストを印刷したフリップチップ接続用プラスチックPGAの実装用パッドの上に、フリップチップボンダー装置を用いて位置合わせし、フラックスを用いて仮付けした後、リフロー炉を通過させることで、半導体パッケージに接続した。その後、接続部材と半導体パッケージの間の空間にアンダーフィル樹脂を流し込み、完全に固定した。

50 【0089】次に、接続部材の上面のハンダボールと予

めLSIに形成したハンダボールの位置を、フリップチップポンダーを用いて位置合わせし、同様に仮付けとリフロー炉での接続を行った。その後、チップと接続部材の間の空間にアンダーフィル樹脂を流し込み、樹脂を加熱硬化させて、実装が完了した。

【0090】この実装方法によって、インダクタンス測定用のパターンを形成したダミーチップを用いて実装した結果、容量100 nF、インダクタンス1 pHのコンデンサが形成でき、1 GHz を越えるレベルの高周波数化に十分に対応可能な低インダクタンスで、高容量のコンデンサとなった。

【0091】(実施例2)本実施例は、図3および図4(d)に示すように、接続部材のLSIと接続される側の片面に薄膜コンデンサを設け、反対側の裏面では、同電位(同一属性)の隣接電極を2個ずつ接続用電極で電気的に接続して、裏面側の電極数と実装用ハンダボール数を半分にへらした場合に、ハンダボールのピッチが2倍に拡大してもノイズ低減効果が劣化しないことを例証する。

【0092】図6に、本発明の薄膜コンデンサ付き接続部材を使用してLSIをパッケージにフリップチップ実装した場合の電源ラインの等価回路を示す。Cは薄膜コンデンサ容量、L3は薄膜コンデンサの内部インダクタンスを示す。L1、L2は、LSI-薄膜コンデンサ間のインダクタンスを示す。図3に示すハンダボール22の

[表1]

	L1	L2	L3	L4	L5	L6	L7	C
実施例1	10pH	10pH	5pH	10pH	10pH	50pH	50pH	1 μF
実施例2	10pH	10pH	5pH	20pH	20pH	50pH	50pH	1 μF

このシミュレーションの解析結果を図7に示す。図中、×印が実施例1、△印が、実施例2のインピーダンスを示す。

【0097】この図から分かるように、100 MHz 近傍でインピーダンスが低減している。これは100 MHz 近傍のスイッチングノイズが低減するように、容量値とインダクタンス値を設計したためである。×印の実施例1の曲線と△印の実施例2の曲線は、100 MHz 以下ではわずかな差があるものの、100 MHz 以上では完全に一致している。すなわち100 MHz 以上のスイッチングノイズ除去効果は同一であることを示しており、いずれの電源ラインもおおむね同程度のノイズ除去効果があるものと言える。即ち、裏面側のパッケージ実装用ハンダボールの数を間引いても、スイッチングノイズの除去効果への影響はほとんどない。

【0098】適切な電極の間引き程度を推定することは難しいが、おおむね1/2から1/5程度が妥当であろう。あまり間引きすぎると、並列数が少なくなることによって配線抵抗が増大するため、高周波ノイズであるスイッチングノイズではなく、直流電圧降下が生じてしまうからである。一方、コストダウンの観点からは、上述

インダクタンスがこれに相当する。

【0093】L4、L5は薄膜コンデンサーパッケージ(基板)間のインダクタンスを示す。図1における接続部材を貫通する導電部材14、基体裏面の接続用電極46とハンダボール32がこれに相当する。

【0094】L6、L7はパッケージのインダクタンスを示す。図6では、パッケージに電源が接続されていることを示している。本実施例(実施例2)では、図3および4(d)に示すように、基体裏面のハンダボール32の数を半分に低減させ、そのピッチを2倍に広げたため、L4とL5だけが、実施例1で作製した、図1および2(d)に示す裏面電極の配置(以下、実施例1)に比べて2倍に増大する。

【0095】動作周波数が100 MHz 程度のLSIを考え、表1のように各パラメーターを仮定し、シミュレーションによってスイッチングノイズがどの程度変化するかを調査した。ここでは、スイッチングノイズに比例する、LSI側から見た電源ラインの出力インピーダンスを解析した。スイッチングノイズには様々な周波数成分が含まれているが、ノイズの支配的な成分は動作周波数の成分およびその高調波であり、この例で言えば100 MHz およびそれ以上の周波数の出力インピーダンスが小さいことがノイズ低減に必要となる。

【0096】

30 したように、現状レベル(100 ミクロンピッチ)では、半分に間引くだけで、従来から使用されている安価なパッケージが使用でき、効果十分である。しかし、今後はさらに電極ピッチが小さくなっていくので、その場合には半分以下に間引くことが望ましいであろう。

【0099】以上からわかるように、本実施例の接続部材は、実施例1の接続部材と実質的に同一の効果がありながら、パッケージの低コスト化に寄与することは明らかである。

【0100】(実施例3)本例では、薄膜コンデンサを構成する誘電体層が凹凸を繰り返す断面形状を有することを除いて、実施例1と同様の構造を持つ、本発明に係る薄膜コンデンサ付き接続部材の製造を例示する。

【0101】実施例1の工程(4)までは実施例1と同様にして、支持基板のカーボン板上にポリイミド基体とその貫通穴の形成【工程(1)】、電気Cuめっきによる貫通穴の充填(導電部材の形成)【工程(2)】、スペッタリングによるCu薄膜の成膜【工程(3)】、およびフォトリソグラフィ法を利用したCu薄膜のパターニングによる下部Cu電極の形成【工程(4)】を行った。

50 【0102】次に、図8に示す工程順で、この下部Cu電

極の表面をフォトリソグラフィ法により凹凸に加工した。具体的には、フォトリソグラフィを利用して感光性レジストフィルムに、 $1 \mu\text{m}$ 角の正方形が $1 \mu\text{m}$ 間隔で縦横に配列したマトリックス状ドットパターンを形成し【図8(1)】、このレジストフィルムを用いてCu電極をドライエッティング（スパッタエッティング）することにより、約 $1 \mu\text{m}$ 厚の銅の表面をほぼ $0.5 \mu\text{m}$ の深さだけエッティングした【図8(2)】。その後、レジストを除去すると、Cu電極の表面には縦横 $1 \mu\text{m}$ 、深さ $0.5 \mu\text{m}$ の凹部が $1 \mu\text{m}$ 間隔で縦横に並んでなる表面凹凸ができあがった。従って、Cu電極は、この凹部を通る断面では、矩形凹凸が繰り返される断面形状を有していた【図8(3)】。この凹凸加工により、Cu電極の表面積は50%増しになった。

【0103】次に、実施例1の工程(5)(反応性スパッタリングに誘電体薄膜の成膜)および工程(6)(誘電体薄膜のバーニング)に従って、下部Cu電極の上に酸化タンタルからなる誘電体層を形成し【図8(4)】、さらに実施例1の工程(7)(上部電極用のCu薄膜の成膜)および工程(8)(Cu薄膜のバーニング)に従って上部Cu電極を形成すると【図8(5)】、誘電体層が均一な厚みを持ち、かつ矩形凹凸を繰り返すパターンを持つ薄膜コンデンサをポリイミド基体上に有する接続部材が作製された。この薄膜コンデンサは、誘電体層を平板状に形成した場合に比べて、誘電体層の面積が50%増しになっており、前掲の容量(C)の関係式からわかるように、誘電体層の材料と厚みが同じであれば、誘電体層が平板状である薄膜コンデンサに比べて容量が50%増大する。

【0104】こうして誘電体層が矩形凹凸の続いた断面形状を有する薄膜コンデンサをポリイミド基体状に形成した後、実施例1の工程(9)および(10)に従って、耐湿性ハンダレジスト層の形成、カーボン板の除去および両面のハンダボールの形成を行い、ハンダボール付きの本発明の接続部材を完成させた。

【0105】この誘電体層が矩形凹凸状の断面形状を有する薄膜コンデンサ付きの接続部材を用いて、実施例1に記載したのと同様にして、プラスチックPGAおよびインダクタンス測定用のダミーチップに実装し、インダクタンスを測定した。その結果、電極の投影面積が 1cm^2 の場合で、容量 $0.6 \mu\text{F}$ 、インダクタンス 1pH のコンデンサが形成でき、十分に低インダクタンスで高容量の薄膜コンデンサとなった。

【0106】一方、実施例1の誘電体層が平板状の薄膜コンデンサでは、同様の電極投影面積で容量は $0.4 \mu\text{F}$ であり、薄膜コンデンサの誘電体層に凹凸を付与してその面積を拡大することにより、容量が飛躍的に向上することが実証された。

【0107】(実施例4)実施例3と同様にして、薄膜コンデンサの誘電体層が凹凸を繰り返す断面形状を有する、薄膜コンデンサ付き接続部材を作製した。但し、本

例においては、下部Cu電極に凹凸を付与するためのエッティングを、実施例3のドライエッティングから、エッティング液を用いる湿式(ウェット)エッティングに変更することにより、実施例3のような矩形凹凸ではなく、角のない正弦波状の凹凸を有する断面形状を付与した。

【0108】この場合の工程順(下部電極の凹凸加工から上部電極形成まで)を、図9に示す。図9に示した以外の工程は、実施例3と同様であった。図9に示す方法において、使用する感光性レジストフィルムには、図8に示したのと全く同様に、 $1 \mu\text{m}$ 角のマトリックス状ドットパターンを形成した【図9(1)】。このレジストフィルムを使用して、酸による湿式エッティングを行った【図9(2)】。湿式エッティングでは、エッティング液はレジストフィルムの下側にも回り込むため、レジストを除去したCu電極には、レジストの矩形ドットにあたる部分には、より大きな径を持つ浅いボール状の凹部ができあがった【図9(3)】。この凹凸の山の部分に角のある突起になっているので、再び湿式エッティングを施して突起を除去した【図9(4)】。その結果、表面がやや平滑になり、Cu表面を正弦波に近い断面形状を持つように加工できた。この加工による上部Cu電極の表面積は30%増しになった。

【0109】その後、図8(4)および(5)と同様に、誘電体層の形成【図9(5)】と上部Cu電極の形成【図9(6)】を行った。こうして、誘電体層が、ほぼ一定の厚みを持ち、かつ角のない正弦波状の凹凸が続く断面形状を有する薄膜コンデンサが形成された。この薄膜コンデンサの誘電体層の面積は、平板状誘電体層の場合の30%増しである。この正弦波状の凹凸付与による面積増加率は、図8に示した矩形凹凸の断面形状の場合の面積増加率(50%)より小さいが、誘電体層が角を持たないため、角への電界集中や応力集中を避けられ、コンデンサの信頼性は高くなる。

【0110】(実施例5)本例では、実施例3および4のように下部Cu電極に凹凸を付与するのではなく、その下地であるプラスチック基体(ポリイミド基体)に凹凸を付与することにより、誘電体層も含めて薄膜コンデンサ全体が凹凸断面形状を有する、本発明に係る薄膜コンデンサ付きの接続部材を作製する方法を例示する。

【0111】この接続部材は、最初に基体表面に凹凸を付与する加工を施すことを除いて、実施例1に説明した方法と基本的に同じである。即ち、実施例1で採用した図5に示す工程順において、工程(1)のポリイミド基体の形成において、ポリイミドフィルムに貫通穴を形成する前か後、または場合によっては貫通穴の形成と同時に、基体表面に凹凸を付与する加工を施す。その後は、工程(2)～(10)に従って、下部電極、誘電体層、上部電極を形成して薄膜コンデンサを作製し、さらにソルダーレジストや両面のハンダボール形成を行うことにより、ハンダボールと薄膜コンデンサ付きの接続部材が作製される。基体表面が凹凸を有するため、その上に成膜して

作製された薄膜コンデンサは、基体表面と同じ凹凸断面形状を有することになる。この方法について、図10を参照して説明する。説明しなかった工程は、実施例1と同様でよい。

【0112】例えば、ポリイミドからなる基体を実施例1に記載したように塗工法で形成するか、あるいはドライフィルムとして用意し〔図10(1)〕、このポリイミド基体の表面に、後述するような適当な方法で凹凸を付与する〔図10(2)〕。次に、図10には示さないビア形成用の貫通穴を実施例1に記載したようにして形成し、さらに電解銅めっき等により貫通穴に銅を充填してビアを形成する。その後、下部電極の成膜とパターニング〔図10(3)〕、誘電体層の成膜とパターニング〔図10(4)〕、および上部電極の成膜とパターニング〔図10(5)〕を順に行い、基体上に薄膜コンデンサを形成する。図10では、基体表面に正弦波的な断面形状の凹凸をつけた例を示したが、矩形断面形状でもよい。

【0113】プラスチック基体表面への凹凸付与方法の具体例について、次に図11～13を参照して説明する。

方法A：図11は、プラスチック基体表面に矩形断面の凹凸を付与する代表的な方法を示す。

【0114】まず、基体上に配置したフォトレジストフィルムにパターンを形成する〔図11(1)〕。このパターンは、図8で示したものと同様の、例えば $1\text{ }\mu\text{m}$ 角の正方形の穴が $1\text{ }\mu\text{m}$ 間隔で縦横に配列した矩形パターンである。フォトレジストのドライフィルムに予めパターンを形成してから、基体に配置してもよい。次に、このレジストパターンをマスクにして、基体をプラズマまたはスパッタによりドライエッティングして、基体表面に凹部を形成する〔図11(2)〕。このドライエッティングは、凹部が基体を貫通することないように制御する必要がある。例えば、基体厚みの約2～7割程度の深さの凹部を形成する。その後レジストを除去すると、矩形の断面形状の凹凸が基体表面に作製される〔図11(3)〕。

【0115】図11に示す方法では、フォトレジストを用いたドライエッティングにより基体表面に凹凸を形成したが、実施例1のように感光性ポリイミドを基体材料に用いた場合には、フォトレジストを省いて、貫通穴の形成と同様のフォトリソグラフィ工程により基体表面に凹凸をつけることが可能である。この場合、基体を貫通しないように、フォトリソグラフィでの露光強度を調整する。また、プラスチック基体のレーザー加工によって基体表面に凹凸を形成することも可能である。

【0116】方法B：図12に、図11に示すような方法でプラスチック基体の表面に形成された矩形凹凸を、加熱によるプラスチックの収縮を利用して角を丸くし、正弦波状の凹凸に変化させる方法を示す。

【0117】図12(a)に示すように、矩形の断面形状を有する表面凹凸を有するプラスチック基体の凹部（領域A）だけを局所的に加熱する。それにより、加熱された

箇所のプラスチックは熱収縮し、矩形凹凸の角が引っ張られて丸くなり、正弦波状の凹凸に変化する。

【0118】プラスチック基体の表面の凹部だけを局所的に加熱する方法の例としては、図12(b)に示すように、走査レーザー光を用いる方法、図12(c)に示すように、抵抗発熱体を基体凹部と同じパターンで配列した加熱体を用いる方法がある。

【0119】なお、図12(b)に示すレーザー加熱法は、レーザー光のエネルギーを、ポリイミド基体の蒸発に十分な高さに設定すると、前述したように基体表面に凹部を形成するのに利用することもできる。レーザー光による凹部形成は、基体が感光性と非感光性のいずれの場合にも適用でき、また面倒なレジストの配置と除去が不要であるので、操作性に優れている。

【0120】方法C：図13に、加熱によるプラスチックの収縮を利用せずに、プラスチック基体に直接、正弦波状の断面形状を有する表面凹凸を付与する方法を示す。

【0121】まず、平滑なプラスチック基体の表面に、基体と同じかあるいは異なる材質の熱硬化性樹脂をスプレーにより吹き付ける。この吹き付け量とスプレーの液滴の大きさを調整し、一様な膜を作らず、かつ、島状の樹脂が残るようにする。スプレーの方式は例えばインクジェット方式を用いても良い。この島状の樹脂を熱硬化させると、前述の熱収縮による方法に比べて波長は不規則であるが、正弦波状の丸みを帯びた表面凹凸が基体表面に形成される。表面凹凸の目的は表面積を増大させることであるので、その凹凸の波長が一定である必要性はない。

【0122】なお、実施例3～5に示した薄膜コンデンサ付き接続部材において、基体裏面側に実施例2に示した接続用電極を形成し、裏面側のハンダボール数をまびいてもよい。

【0123】(実施例6)本例では、誘電体材料としてチタン酸バリウムを用いた薄膜コンデンサ付き接続部材を例示する。接続部材の作製手順は、実施例1（誘電体層が平板）または実施例3（誘電体層の断面形状が矩形凹凸状）に示すものと同様であるが、実施例1または図5の工程(5)の誘電体層の成膜は、以下のように実施した。

【0124】誘電体層の成膜は、チタン酸バリウムをターゲットとした酸素とアルゴンの混合ガスを用いたRF励起スパッタリングにより行い、チタン酸バリウム膜を形成した。この際の基板温度は、ポリイミドの耐熱性を考慮して $300\text{ }^\circ\text{C}$ 以下とすることが望ましい。スパッタリングの条件は、例えば、RFパワー 1000W 、アルゴン・ガス流量 100 sccm 、酸素ガス流量 30 sccm である。

【0125】形成されたチタン酸バリウム薄膜の誘電率は 1000 、膜厚は 100 nm であった。コンデンサ投影面積が 1 cm^2 の場合、この薄膜コンデンサの容量は、誘電体層が平板な場合は $8.8\text{ }\mu\text{F}$ であったが、矩形凹凸の断面形

状を有する場合は $13\mu F$ であった。

【0126】同様の方法で、ターゲットにチタン酸ストロンチウム、またはチタン酸バリウムとチタン酸ストロンチウムの混合材料を用いると、チタン酸ストロンチウムの誘電体層、またはチタン酸バリウムとチタン酸ストロンチウムの混合材料の誘電体層を得ることができる。

【0127】

【発明の効果】本発明の接続部材を、LSIとフリップチップ実装用のプラスチック基板との間に挿入してLSIを基板に実装すると、1GHzを越えるLSIの高周波数化に十分対応可能な低インダクタンスで高容量のコンデンサがLSI近傍に挿入されるため、LSIのスイッチングノイズを抑制することができ、このノイズによる誤動作を防ぐのに有効である。

【0128】本発明によれば、低インダクタンスで高容量のコンデンサをLSIに内層化せずに挿入できるので、LSIの製造工程の変更が不要であり、低成本でLSIのスイッチングノイズを低減させることができ

る。

【0129】また、この接続部材の基体が実装基板の材質と同じプラスチックであり、基板との熱膨張係数の差が小さいこと、プラスチック基体は柔軟であること、接続部材の挿入によりLSIと基板間の空間に余裕ができるこ

と等により、本発明の接続部材でLSIとプラスチック基板をフリップチップ接続すると、リフロー時に接続部に加わる熱応力が小さくなるので、接続の信頼性が向上する。

【0130】さらに、薄膜コンデンサの誘電体層が小面積に分割されているので、成膜時の膜の残留応力や実装時の熱応力が減少し、膜の割れを防止できることから、コンデンサの信頼性が高まる。また、薄膜コンデンサを基体の実装基板側だけに形成すると、誘電体層から α 線が発生してもプラスチック基体で吸収されるので、 α 線による誤動作を防ぐことができる。

【0131】本発明の接続部材の別の構造において、薄膜コンデンサを基体片面に形成し、基体の裏面側に2以上のピアをつなぐ接続用電極を形成して、装着するハンダボールをまびくと、上記の優れた薄膜コンデンサの機能を実質的に保持しながら、製造コストを下げることができる。

【0132】また、薄膜コンデンサの誘電体層に凹凸断面形状を付与すると、その面積が増大し、高容量化することができるので、必要な容量を持ち、リーク電流が小さい薄膜コンデンサの設計や材料の選択が容易となる。

【図面の簡単な説明】

【図1】実装基板とLSIの間に挿入された本発明の接続部材を模式的に示す説明図である。

【図2】図2(a)～(c)は、図1に示した接続部材に用いる薄膜コンデンサを構成する下部電極、誘電体層および上部電極のそれぞれのパターンを例示し、図2(d)は本発明の接続部材の薄膜コンデンサが形成されない側(裏面側)の基体表面の電極パターンを示す。

【図3】実装基板とLSIの間に挿入された、図1とは別の構造の本発明の接続部材を模式的に示す説明図である。

【図4】図4(a)～(c)は、図3に示した接続部材に用いる薄膜コンデンサを構成する下部電極、誘電体層および上部電極のそれぞれのパターンを例示し、図4(d)は本発明の接続部材の薄膜コンデンサが形成されない側(裏面側)の基体表面の電極パターンを示す。

【図5】本発明の接続部材の製造方法を例示する工程図であり、工程順の加工状態を模式的に示す。

【図6】本発明の接続部材を用い、LSIをパッケージにフリップチップ実装した場合の電源ラインの等価回路の模式的説明図である。

【図7】それぞれ図1および図3に示した構造を持つ実施例1および2の接続部材によるインダクタンスと周波数との関係をシミュレーションした解析結果を示すグラフである。

【図8】薄膜コンデンサの誘電体層が凹凸断面形状を持つ構造の本発明の接続部材の製造方法を例示する工程図である。

【図9】薄膜コンデンサの誘電体層が凹凸断面形状を持つ構造の本発明の接続部材の別の製造方法を例示する工程図である。

【図10】薄膜コンデンサの誘電体層が凹凸断面形状を持つ構造の本発明の接続部材のさらに別の製造方法を例示する工程図である。

【図11】本発明の接続部材の基体表面への凹凸付与方法を例示する工程図である。

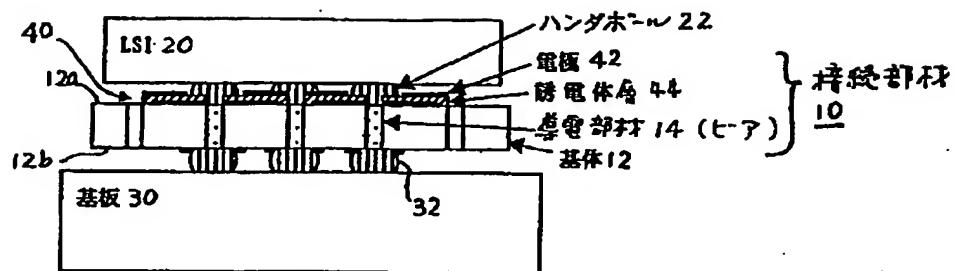
【図12】本発明の接続部材の基体表面に正弦波状の凹凸を付与する方法の1例を示す説明図である。

【図13】本発明の接続部材の基体表面に正弦波状の凹凸を付与する方法の別の例を示す説明図である。

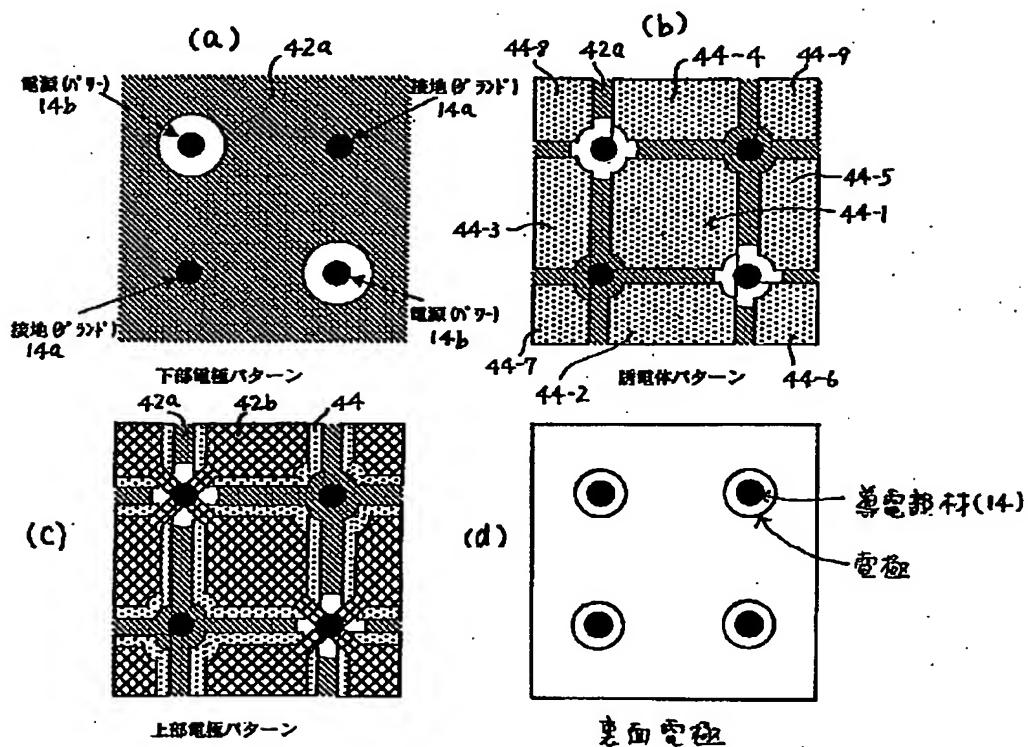
【符号の説明】

10：接続部材、12プラスチック基体、14：導電部材、20：LSI、30：実装基板、22, 32：実装用ハンダボール、40：薄膜コンデンサ、42：電極、42a：下部電極、42b：上部電極、44：誘電体層、46：裏面側の接続用電極

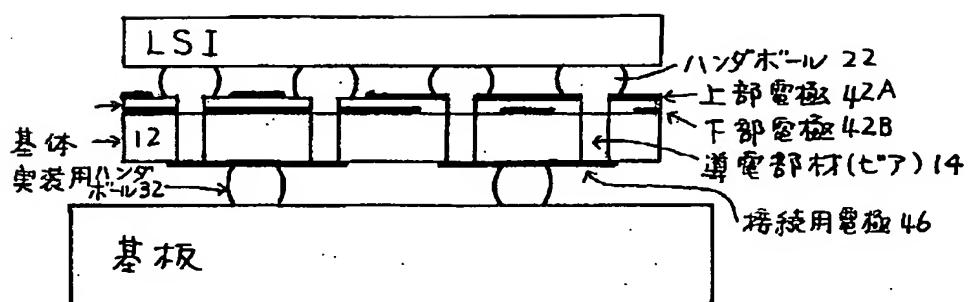
【図1】



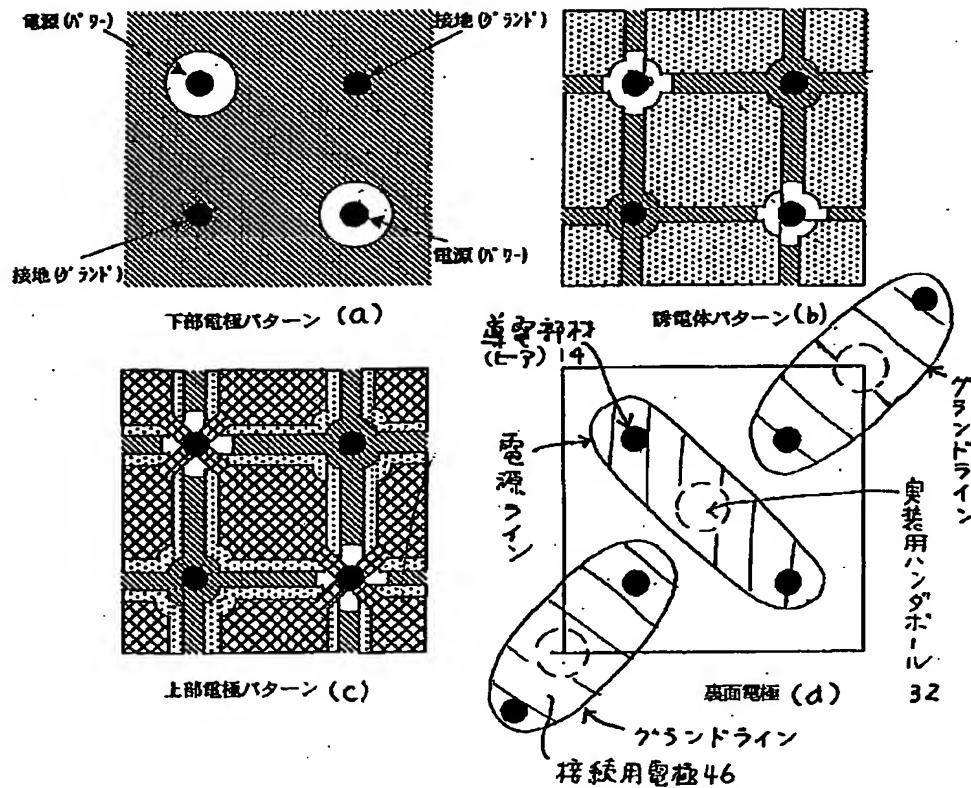
【図2】



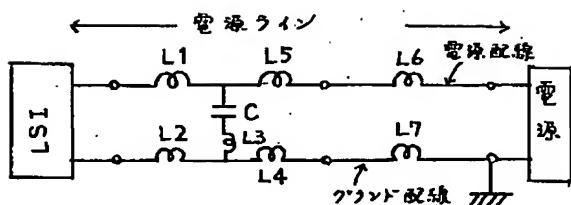
【図3】



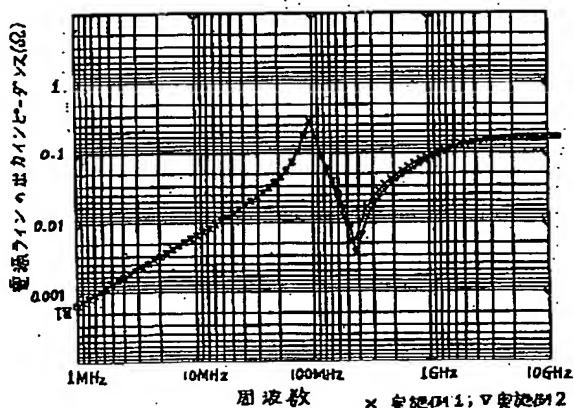
【図4】



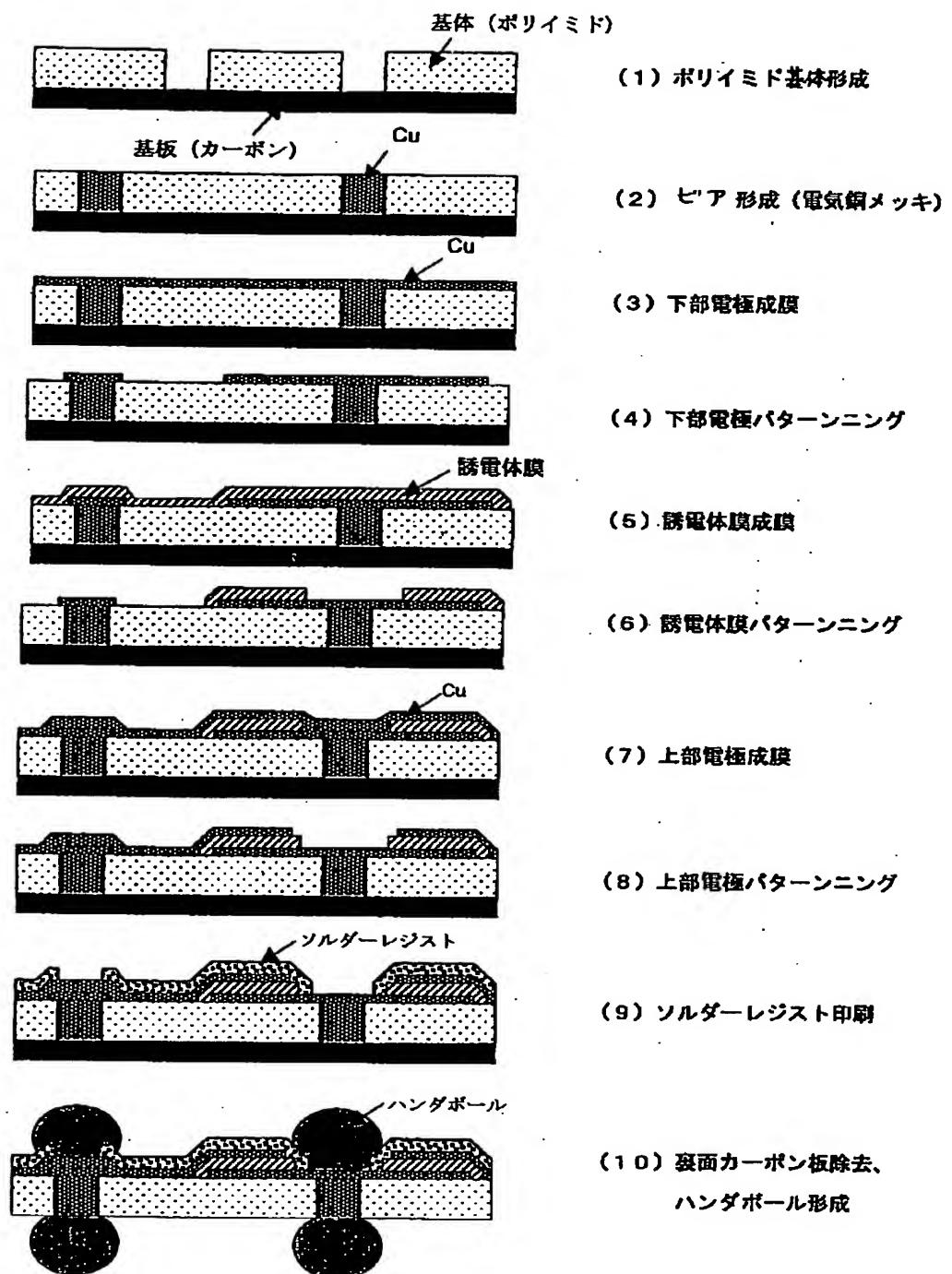
【図6】



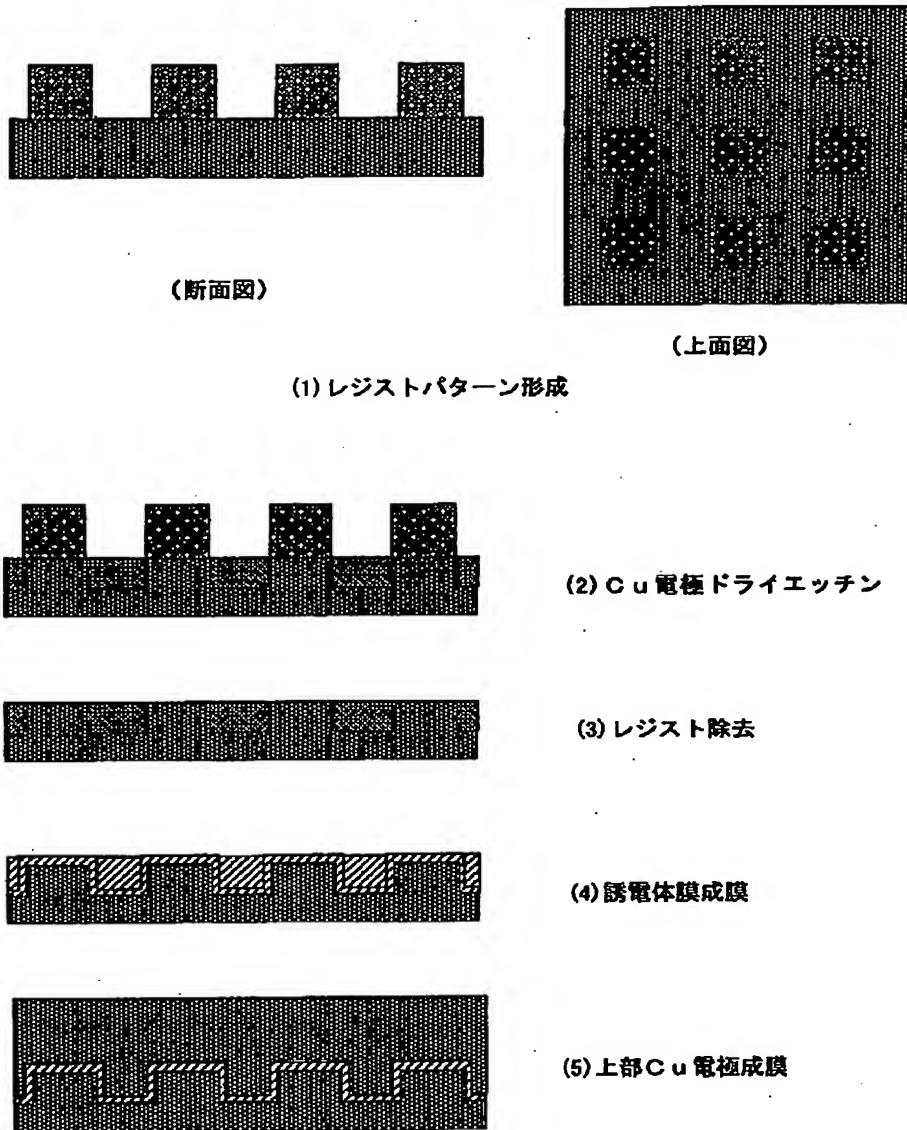
【図7】



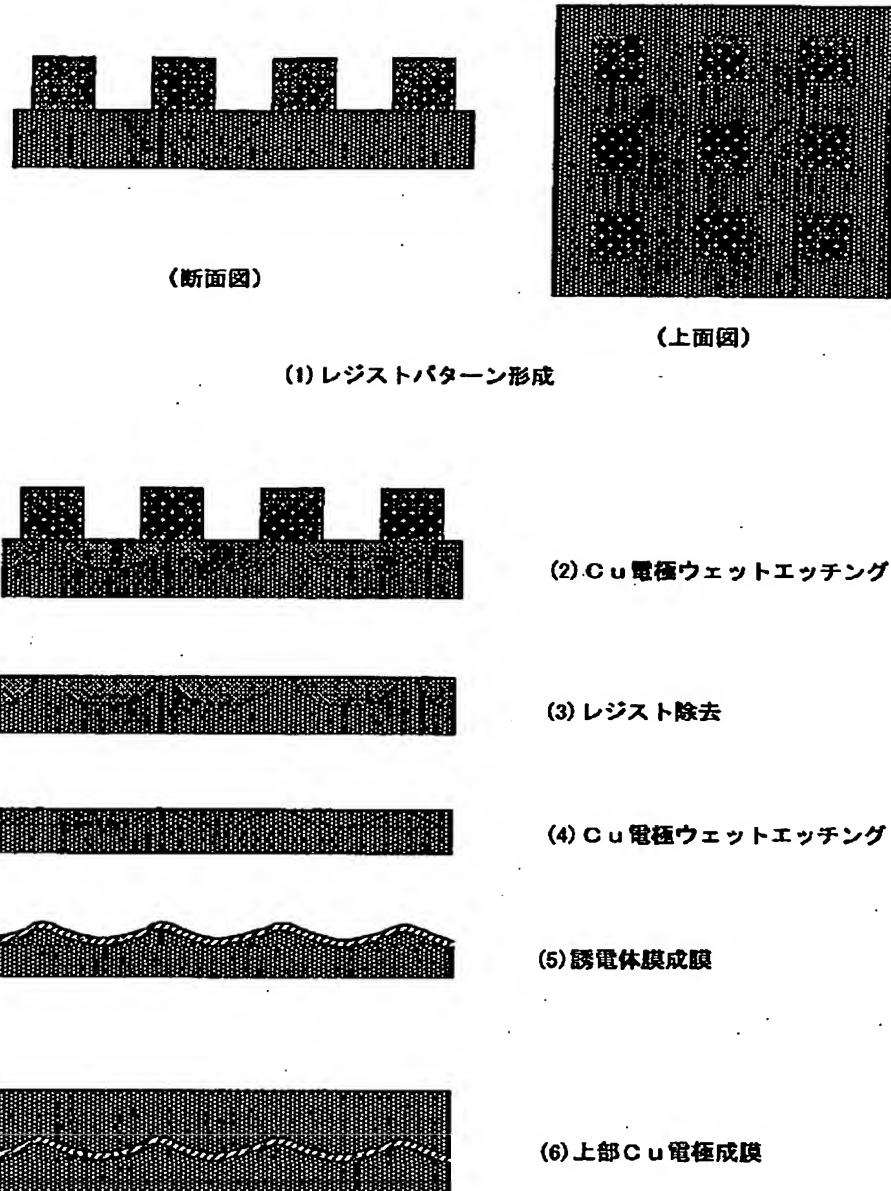
【図5】



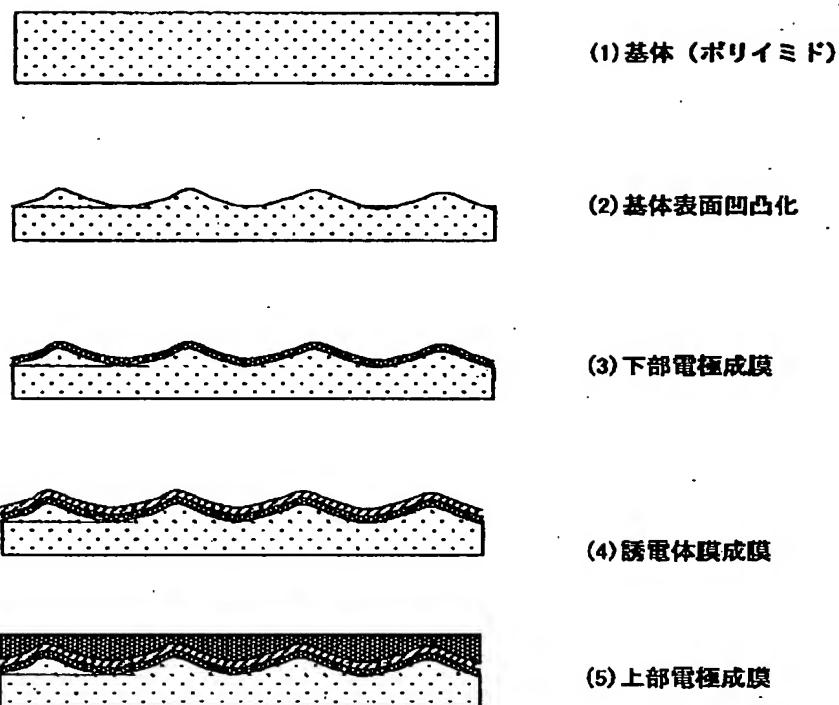
【図8】



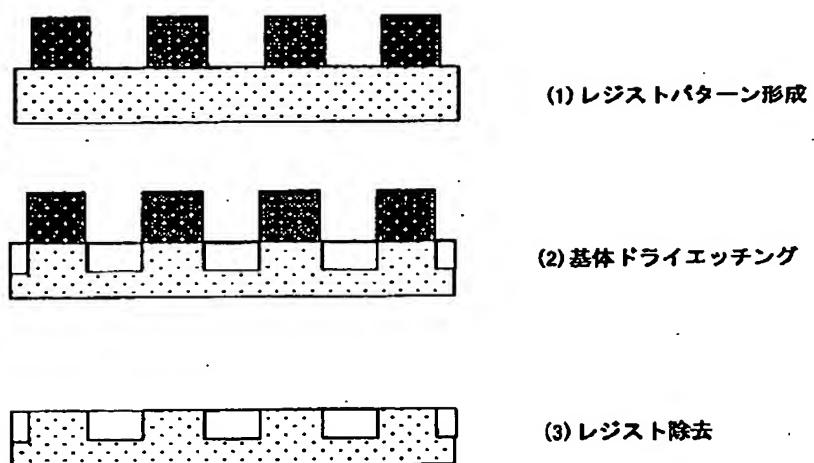
【図9】



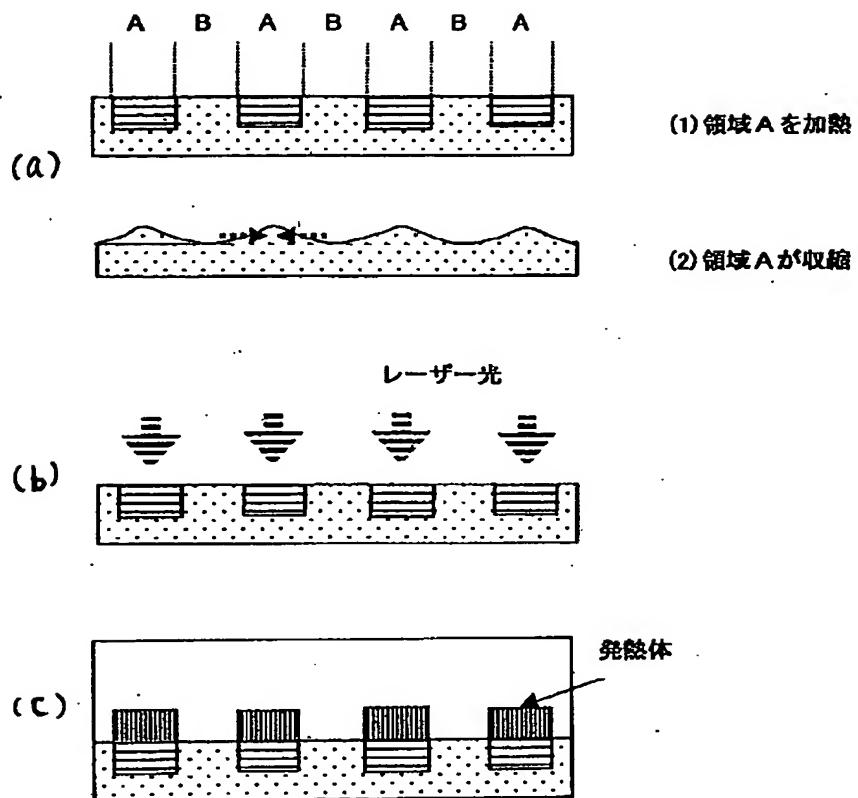
【図10】



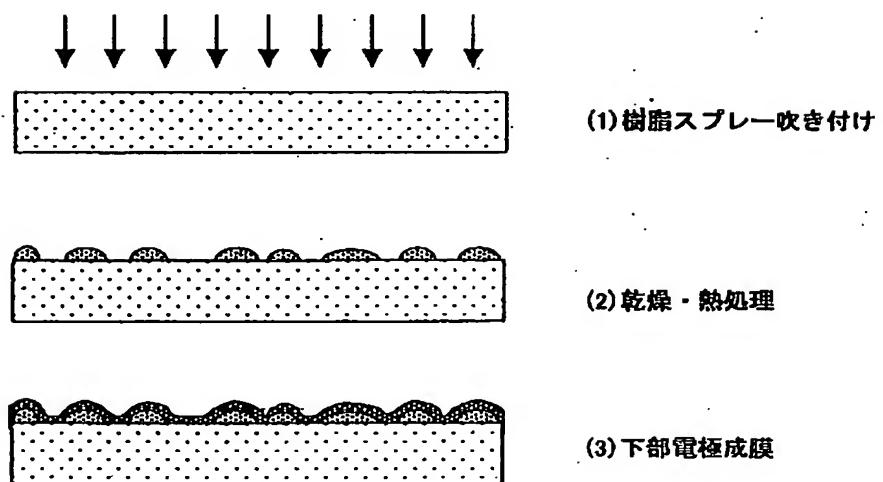
【図11】



【図12】



【図13】



フロントページの続き

(51) Int.Cl.⁷ 識別記号 F I テ-マコ-ト (参考)
// H 0 1 L 23/32 H 0 1 L 23/12 B

(72) 発明者 橋本 昌也 F ターム (参考) 5E024 CA18 CB06
兵庫県尼崎市扶桑町1番8号 住友金属工
業株式会社エレクトロニクス技術研究所内 5E051 CA04 CA10
(72) 発明者 山出 善章 5E082 AB03 BB02 BB05 BC14 BC39
兵庫県尼崎市扶桑町1番8号 住友金属工
業株式会社エレクトロニクス技術研究所内 EE05 EE26 EE37 FG03 FG18
FG26 FG27 FG42 GG01 JJ06
JJ12 JJ15 JJ21 KK01 MM05
MM28